

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

B 4 4

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244112
 (43)Date of publication of application : 02.09.1994

(51)Int. Cl. H01L 21/205

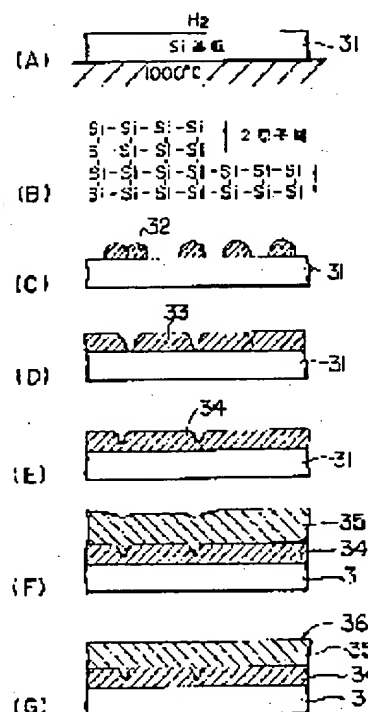
(21)Application number : 05-050026 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 16.02.1993 (72)Inventor : OHORI TATSUYA

(54) METHOD OF GROWING COMPOUND SEMICONDUCTOR CRYSTAL

(57)Abstract:

PURPOSE: To provide compound semiconductor crystal on an Si substrate wherein the surface shape (homology) can be improved, by partly using raw material wherein methyl groups are bonded to group III atoms, and growing second single crystal III-V compound semiconductor on a polished surface by a metal organic chemical vapor deposition method.

CONSTITUTION: An Si substrate 31 is heated at about 500°C, and a low temperature buffer GaAs layer is formed on an Si slant substrate 31 by an metal organic chemical vapor deposition method (MOCVD). The growth of the GaAs layer is once interrupted, and the temperature of the Si slant substrate 31 is raised up to about 600°C which is the ordinary growth temperature. After that, a second GaAs buffer layer 35 is epitaxially grown on the first GaAs buffer layer 34 by an MOCVD method. While aqueous solution of soda hypochlorite is spread on the surface of the second GaAs buffer layer 35, the surface is buffed. Thereby a flat polished surface 36 is formed.



LEGAL STATUS

[Date of request for examination] 16.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3093904

[Date of registration] 28.07.2000
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-244112

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 21/205

審査請求 未請求 請求項の数11 F D (全 10 頁)

(21)出願番号 特願平5-50026

(22)出願日 平成5年(1993)2月16日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 大塚 達也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

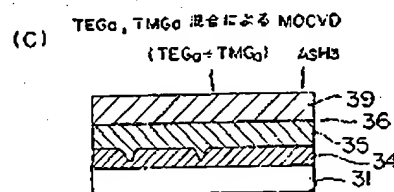
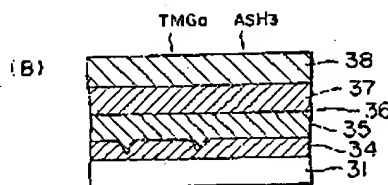
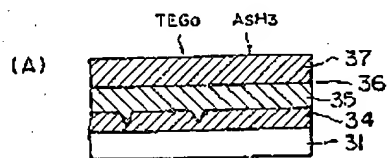
(74)代理人 弁理士 高橋 敬四郎

(54)【発明の名称】 化合物半導体結晶の成長方法

(57)【要約】

【目的】 Si基板上のIII-V族化合物半導体結晶の成長方法に関し、表面形状（モホロジ）を改善することのできるSi基板上のIII-V族化合物半導体結晶の成長方法を提供することを目的とする。

【構成】 Si基板上に第1の単結晶III-V族化合物半導体層を成長する第1成長工程と、前記第1の単結晶III-V族化合物半導体層を研磨して、研磨表面を得る工程と、III族原料として初期にはIII族原子にエチル基が結合した原料を少なくとも一部用い、その後にはIII族原子にメチル基が結合した原料を一部用いて、前記研磨表面上に第2の単結晶III-V族化合物半導体層を有機金属気相成長法で成長する第2成長工程を含む。



(2)

特開平6-244112

1

【特許請求の範囲】

【請求項1】 Si基板上に第1の単結晶III-V族化合物半導体層を成長する第1成長工程と、前記第1の単結晶III-V族化合物半導体層を研磨して、研磨表面を得る工程と、

III族原料として初期にはIII族原子にエチル基が結合した原料を少なくとも一部用い、その後にはIII族原子にメチル基が結合した原料を一部用いて、前記研磨表面上に第2の単結晶III-V族化合物半導体層を有機金属気相成長法で成長する第2成長工程とを含む化合物半導体結晶の成長方法、

【請求項2】 前記有機金属気相成長法で成長する第2成長工程のガス圧が約500 Torr以下である請求項1記載の化合物半導体結晶の成長方法、

【請求項3】 前記有機金属気相成長法で成長する第2成長工程のガス圧が50～100 Torrの領域内で選択される請求項2記載の化合物半導体結晶の成長方法、

【請求項4】 前記III族原子にエチル基が結合した原料がトリエチルガリウムであり、前記III族原子にメチル基が結合した原料がトリメチルガリウムである請求項1記載の化合物半導体結晶の成長方法、

【請求項5】 前記トリエチルガリウムを用いて成長する単結晶III-V族化合物半導体層の厚さが約10～100 nmである請求項4記載の化合物半導体結晶の成長方法、

【請求項6】 前記第2成長工程が、III族原料としてIII族原子にエチル基が結合した原料とIII族原子にメチル基が結合した原料との混合ガスを用いる請求項1または2記載の化合物半導体結晶の成長方法、

【請求項7】 前記III族原子にエチル基が結合した原料がトリエチルガリウムであり、前記III族原子がメチル基と結合した原料がトリメチルガリウムである請求項6記載の化合物半導体結晶の成長方法、

【請求項8】 前記混合ガス中III族原子にエチル基が結合した原料のIII族元素の全原料に関するモル濃度比が約0.1以上である請求項7記載の化合物半導体結晶の成長方法、

【請求項9】 前記III族原子にエチル基が結合した原料がトリエチルガリウム、トリエチルアルミニウム、これらの混合物の一種である請求項1または2記載の化合物半導体結晶の成長方法、

【請求項10】 前記III族原子がメチル基と結合した原料が、トリメチルガリウム、トリメチルアルミニウム、またはこれらの混合物のいずれかである請求項1、2、9のいずれかに記載の化合物半導体結晶の成長方法、

【請求項11】 前記第2成長工程が、III族原料としてトリエチルガリウムを用い、I型GaAsで形成される第1のバッファ層を成長する工程と、III族原料としてトリメチルガリウムを用い、I型AlGaAsで

2

形成される第2のバッファ層と、I型GaAsで形成される活性層を成長する工程とを含む請求項1、2、9、10のいずれかに記載の化合物半導体結晶の成長方法、

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、結晶成長に関し、特にSi基板上のIII-V族化合物半導体結晶の成長方法に関する。

【0002】

【従来の技術】III-V族化合物半導体装置は、光デバイス、高速デバイス等として開発が進められている。III-V族化合物半導体装置の基板として、半絶縁性のGaAs基板やInP基板がよく用いられている。このような基板は、物理的支持を与えているが、電気的絶縁部材としての機能の他は、電気的機能は有していない。

【0003】ところで、GaAs基板等のIII-V族化合物半導体基板は、Si基板と較べると高価であり、割れ易く、取り扱いに注意が必要である。Si基板は、化合物半導体の基板と比較して一般的に電子移動度が低いことを除き、軽量である（密度が低い）こと、熱伝導率が高いこと、価格が低いこと、機械的強度が高いこと、大口径ウエハが得易いこと等の面で優れている。

【0004】このようなSi基板の利点を化合物半導体装置に取り込むため、たとえばSi基板上のGaAs（GaAs on Si）の技術が注目されている。しかしながら、たとえばGaAsはSiに較べ、約3倍の熱膨張係数を有し、Siのダイヤモンド構造に対し、結晶系の異なる閃亜鉛構造を有する。これらの相異点に基づき、Si基板上のGaAs結晶には解決すべき問題も多い。

【0005】Si基板上に600～700℃程度の成長温度でGaAs層を成長し、室温まで降温すると、熱膨張係数の差により、大きな熱応力が発生する。この熱応力によってGaAs結晶中に結晶欠陥が発生する。成長工程によって程度は異なるが、結晶欠陥密度は $10^6 \sim 10^8 \text{ cm}^{-2}$ にも達する。これらの結晶欠陥は、製造する半導体装置の特性を劣化させる。

【0006】また、成長温度から室温に降温した時に、GaAsはSiよりも大きく収縮するため、GaAs/Si（GaAs on Si）基板は凹型に反ってしまう。このウエハの反りは、基板の口径が大きくなるほど顕著になる。ウエハに反りがあると、ホトリソグラフィにおける露光精度に問題が生じる。

【0007】また、Si基板上にGaAs層を成長すると、結晶成長が均一に進まないため、成長面には多数の凹凸が発生する。たとえば、膜厚3μmのGaAs層の表面には、面内で約2000nm、高さで約20nm程度の凹凸が多数発生する。

【0008】このような表面形状（モロロジ）は、微細

59

(3)

特開平6-244112

3

な半導体素子を形成する場合に問題を生じるものと考えられる。このような問題を解決するために、従来から種々の手法が検討されてきた。以下、関連する技術を簡単に説明する。

【0009】〔2段階成長法(2 STEP growth method)〕Si基板上に単結晶GaAs層を2段階で成長する技術である。シリコン基板としては、(100)面から<011>方向に約3度傾斜した表面を有する基板を用いる。このような表面を有するSi基板を、以下Si傾斜基板と呼ぶ。

【0010】まず、清浄なSi表面を露出し、500℃程度の低温でMOCVDによってアモルファスGaAs層を成長する。その後、約600℃程度に加熱し、低温で成長したアモルファスGaAs層を結晶化し、単結晶層にする。その後、得られた単結晶GaAs層上に所望の単結晶III-V族化合物半導体層を成長する。

【0011】〔結晶欠陥(転位密度)の低減〕Si基板上に成長したGaAs結晶層の結晶欠陥を低減する方法として、下記のような方法が知られている。

【0012】(1) GaAs層の成長途中で、温度を上昇あるいは降下して、熱膨張係数の差に起因してGaAs層中に発生する熱応力による結晶欠陥(転位)を強制的に曲げ、成長層の横方向に逃がす。

【0013】(2) GaAs層の成長途中で、横方向に歪を発生させるような格子定数の異なる材料層を挿入する。たとえば、InGaAs層が用いられる。格子定数の差に起因する歪により、発生する転位は強制的に成長層の横方向に曲げられる。

【0014】〔表面形状(モロロジ)の改善〕シリコン基板上に、シリコンとの間の結合エネルギーが大きい材料、たとえばAlAs、AlP、等の材料を最初の低温バッファ層として成長する。このような材料がシリコン表面上に存在すると、その後のGaAs等の化合物半導体の成長において、表面に付着した原子の表面拡散が制限され、島状結晶の成長が抑制される。

【0015】また、選択成長や半導体結晶成長後に行なうアニール等、様々な手法が検討されている。

【0016】

〔発明が解決しようとする課題〕ところが、本発明者の知る限りにおいて、表面形状(モロロジ)の良好なGaAs/Si基板の製造は極めて困難である。上述の2段階成長法を用いた場合、10nm~20nm程度の凹凸が発生するのを阻止するのは極めて困難である。

【0017】本発明の目的は、表面形状(モロロジ)を改善することのできるSi基板上のIII-V族化合物半導体結晶の成長方法を提供することである。

【0018】

〔課題を解決するための手段〕本発明の化合物半導体結晶の成長方法は、Si基板上に第1の単結晶III-V族化合物半導体層を成長する第1成長工程と、前記第1

4

の単結晶III-V族化合物半導体層を研磨して、研磨表面を得る工程と、III族原子として初期にはIII族原子にエチル基が結合した原料を少なくとも一部用い、その後はIII族原子にメチル基が結合した原料を一部用いて、前記研磨表面上に第2の単結晶III-V族化合物半導体層を有機金属気相成長法で成長する第2成長工程とを含む。

【0019】

〔作用〕Si基板上に一旦III-V族化合物半導体層を成長し、この単結晶III-V族化合物半導体層を研磨して研磨表面を得れば、ある程度平坦な表面が得られる。

【0020】しかしながら、研磨表面は研磨により結晶学的には乱れた表面であり、多数の転位を含む。この転位を含む研磨表面上に、まずIII族原子にエチル基が結合した原料を少なくとも一部用いて、単結晶III-V族化合物半導体層を成長すると、表面形状(モロロジ)の優れた単結晶層が得られる。

【0021】III族原子にエチル基が結合した原料を用いた有機金属気相成長法は、成長速度が遅く、反応炉に損傷が生じやすい。したがって、厚い単結晶層をIII族原子にエチル基が結合した原料のみを用いて成長することは困難である。

【0022】しかしながら、III族原子にメチル基が結合した原料に切り換えるか、混合することにより、所望の厚さの単結晶III-V族化合物半導体層を良好なモロロジで成長することが可能となる。

【0023】

〔実施例〕以下、本発明の実施例をその基礎となった実験と共に説明する。図1は、研磨表面を有するGaAs/Si基板の作成を説明するための断面図である。まず、<011>方向に約3度傾斜した(100)面を有するSi傾斜基板を準備する。

【0024】図1(A)に示すように、Si傾斜基板31を水素雰囲気中で約1000℃に加熱する。Si基板31表面のSiO₂層は、水素によって還元され、除去される。

【0025】図1(B)に概略的に示すように、SiO₂層を除去されたSi基板表面は、2原子層の段差を有する階段構造の表面となる。各段差が2原子層の高さを有するため、この表面上にGaAsを結晶成長した時、段差部においても同一原子層が連続するようになる。

【0026】次に、Si基板31を約500℃程度に加熱し、有機金属気相成長法(MOCVD)によってSi傾斜基板31の上に低温バッファGaAs層を成長する。この工程においては、まずSi傾斜基板31の上に、図1(C)に示すように、アモルファスGaAsの島状領域32が成長し、やがて図1(D)に示すように、隣接するGaAs島状領域32が合体してSi傾斜基板31の表面を覆い尽くすアモルファスGaAs層3

(4)

特開平6-244112

5

6

3が成長する。

【0027】一旦、GaAs層の成長を中断し、600℃程度の通常の成長温度までSi傾斜基板31を昇温する。この昇温工程によって、低温GaAsパッファ層33は結晶化し、図1(E)に示すような第1GaAs単結晶パッファ層34を形成する。

【0028】その後、図1(F)に示すように、第1GaAsパッファ層34の上に、第2GaAsパッファ層35をMOCVDによりエビタキシに成長する。この工程までが、従来より知られた2段階成長法である。

【0029】次に、図1(G)に示すように、GaAs第2パッファ層35の表面を次亜塩素酸ソーダの水溶液を塗布しながら、パフ研磨を行なうことにより、平坦な研磨表面36を形成する。このような工程により、外見上は平坦な表面を有する単結晶GaAs層が得られる。

【0030】本発明者は、このようにして作成した研磨表面を有するGaAs/Si基板上に、どのようにすればモホロジに優れたエビタキシ層が成長できるかを原料ガスを変えて調べた。実験の結果、成長に用いる原料ガスによって再成長結晶の表面モホロジが大きく変化する

【0031】ここで、行なった実験内容と結果を説明する。まず、研磨表面を有するGaAs/Si基板として、膜厚約1μmのGaAs層を有するものを準備した。研磨表面上に、成長圧力約76Torrで膜厚0.6~0.7μmのGaAs層を以下の原料を用いて成長した。再成長層の膜厚を0.6~0.7μmに設定したのは、高電子移動度トランジスタ(HEMT)用結晶の標準的膜厚に揃えるためである。

【0032】(1)、トリメチルガリウム(TMGa)

(2)、トリエチルガリウム(TEGa)

(3)、初めの50nmをTEGa、後の0.65μmをTMGa

(4)、TMGaとTEGaの混合ガス(流量比は、TMGa/TEGa=0.7/0.3)

まず、条件(1)と(2)については、成長温度を600~720℃に変化させ、成長速度は8~10Å/sとなるように流量を設定した。III族とV族の流量比(V/III比)は約20とした。なお、条件(1)については、V/III比を10から50まで変化させる実験も行なった。さらに、条件(1)については、成長圧力を760Torrにする成長も行なった。

【0033】図3は、条件(1)と(2)の実験において得られた表面粗さの成長温度依存性を示すグラフである。GaソースとしてTMGaを用いた成長においては、成長温度約630℃では表面粗さが30nm近くもあり、成長温度を高くするにつれて表面粗さは減少するが、成長温度約720℃においても表面粗さは約6.5nmあった。

【0034】これに対して、GaソースとしてTEGa

を用いた成長においては、成長温度約630℃において、表面粗さは約3.8nmであり、成長温度約720℃においては表面粗さは約2.6nmとなった。これらの実験結果からGaソースとしてTEGaを用いると、表面粗さが減少すると共に、成長温度依存性が小さくなることが判った。

【0035】分解温度が約680℃であるTMGaのように、III族原子にメチル基がついたものは原料の分解温度が高く、基板表面にGa(CH₃)₃の形で到達し、GaAs層表面を拡散中にGaとメチル基に分解し、結晶成長するものと考えられている。

【0036】一方、分解温度が約500℃であるTEGaのように、III族原子にエチル基がついたものは、III族原子とエチル基の結合が弱いために、約500℃で完全に分解し、GaAs表面にはGa原子の形で到達する。

【0037】図3の実験結果から、GaAs表面にはGa原子の形で到達する方が表面モホロジの改善に有効であるとも考えられる。そこで、Ga原子をGaソースとする分子線エビタキシ(MBE)法の成長も行なった。

【0038】もし、GaAs表面にGaが原子の状態で到達することにより、表面モホロジが改善されるのであれば、MBE法の成長によって、表面モホロジの優れたエビタキシャル層が得られることになる。

【0039】研磨表面を有するGaAs/Si基板上に、成長温度650℃でGaAs層を0.6μm成長したところ、図4(A)の結晶構造を示す写真に示すような極めて凹凸の大きい表面が得られた。なお、図4(A)下部に測定した結晶面高さの分布例を示す。表面粗さは高さで約50nm近くもあり、表面モホロジはかえって悪くなっている。

【0040】したがって、単にGa原子を拡散種にするだけでは表面荒れは小さくならず、MOCVDで用いたV族原料であるAsH₃と、MBE法で用いたV族原料であるAsのようなV族元素の原料の差も何らかの形で表面粗さ(あるいは平坦性)に寄与していることが読み取れる。

【0041】条件(1)にしたがい、GaAsソースとしてTMGaを用いたMOCVDによって成長したGaAs層は、図4(B)の結晶構造を示す写真に示すような表面を有する。このように、GaソースとしてTMGaを用いると、成長層表面に深いピットが生じる。

【0042】また、条件(1)について行なった常圧と低圧(76Torr)の実験結果から、低圧の場合は、図4(B)に示すようなピット状の表面荒れが発生し、常圧の場合は逆に隆起状の表面荒れが発生することも判明した。この結果から、成長圧力は基板表面での分解種に影響を与えることが示唆されている。

【0043】これらの現象の詳細については、今のところ不明であるが、上述の実験から減圧MOCVDによ

(5)

特開平6-244112

7

り、GaソースとしてTEGaを用いると、表面荒れが抑制されることが判明した。なお、その他の成長条件、V-III比、成長速度については明確な依存性は見い出せなかった。

【0044】ところが、この実験結果に基づき、研磨表面上のIII-V族化合物半導体結晶を、III族元素にエチル基が結合した原料を用いて成長しようとする、以下のような問題が生じる。

【0045】(a)、一般に、エチル系原料は蒸気圧が低い。このため、モル流量が大きく取れず、成長速度は1~2Å/s程度となってしまふ。したがって、膜厚の大きい層を成長するためには、成長時間がかかり、スループットが低下する。

【0046】(b)、また、エチル系原料は上述のように分解し易く、反応炉の壁面にも分解物が付着し易い。大量生産においては、図5に示すようなバレル型反応炉を用いることが多い。このような装置において、分解のため原料ガス導入口付近に多量の分解物が付着すると、その割れが生じた時には成長層内に多数の表面欠陥が生じる。

【0047】図5においては、サセプタ41は、中心軸の回りに複数の傾斜面を有するサセプタ41の傾斜面上に、複数の基板42が設置される。このサセプタ41上方に、原料ガス導入口44が設けられており、サセプタ41を回転させながら原料ガス導入口44より原料ガスを導入し、結晶成長を行なう。

【0048】TEGaのような分解し易い原料ガスを用いると、原料ガス導入口44近傍の反応炉壁面にも付着物46が堆積する。この堆積物が厚くなり、壁面から剥がれると、多量のゴミが落下し、成長層内に結晶欠陥を発生させる。

【0049】このため、再成長層のGa原料として全てTEGaを用いることは実用上、不可能である。そこで、本発明者は、成長の初期においては、少なくとも部分的にTEGaを用い、どのような表面モホロジが得られるかを調べた。これが条件(3)および(4)である。

【0050】図2を参照して、条件(3)および(4)を概略的に説明する。図2(A)、(B)は、条件(3)を示す。図2(A)に示すように、まずGaソースとしてTEGaを用い、V族原料としてAsH₃を用いて減圧MOCVD法によりGaAs層37を成長する。

【0051】ある程度の厚さのGaAs層が成長した後、図2(B)に示すように、GaソースをTMGaに切り換え、V族元素としてはAsH₃を用いて、さらに減圧MOCVD法により、GaAs層38を成長する。

【0052】すなわち、条件(3)においては、TEGaを用いてまず50nmのGaAs層を成長し、次にTMGaに原料ガスを切り換え、さらに0.65μmのGaAs層38を成長する。

8

【0053】図2(C)は、条件(4)を説明する。GaソースとしてTMGaとTEGaの両方を用い、V族原料としてはAsH₃を用いて減圧MOCVD法により、GaAs層39を約0.6μm成長する。

【0054】図6(A)は、条件(3)で得られた成長層表面の結晶構造を表す顕微鏡写真を示す。図から明らかなように、図4(B)で見られたような深いピットは完全に消滅し、滑らかな表面が得られている。

【0055】ピット消滅原因を検討するため、成長結晶の透過電子顕微鏡測定を行ない、転位の形態を比較したが、原料ガスとしてTMGaとTEGaを用いた場合について有意義な差は見られなかった。

【0056】したがって、TEGaを用いた結晶成長によって、転位を源らす作用はないものと考えられる。しかしながら、成長表面における顕著な差から転位に付随する結晶の乱れをTEGaによる成長によって埋め込むことができるのではないかと考えられる。

【0057】現在のところ、具体的メカニズムは不明であるが、薄い層であっても一旦エチル系原料で結晶層を成長すれば、その後、その上にメチル系原料を用いて成長を行なっても表面の粗さが抑制できることが判明した。

【0058】また、純エチル系原料を用いる代わりに、エチル系原料メチル系原料を混合した場合に、どのような表面が得られるかを確認するために行なった条件(4)の実験の結果は、図6(A)とほとんど変わらない表面を発生した。

【0059】エチル系原料からメチル系原料に切り換える場合、初期にエチル系原料で成長すべき層の最小膜厚については未だ実験的裏付けを得ていないが、その他の状況の考察から約10nm以上あればよいものと思われる。

【0060】このTEGaで成長する膜厚は、あまり厚くすると、上述した大量生産における弊害を発生するため、約100nm以下とすることが好ましいと考えられる。また、エチル系原料とメチル系原料を混合する場合は、エチル系原料を約0.3とした場合、純エチル系原料を用いた場合とほとんど変わらない結果が得られたことより、エチル系原料が約0.1以上あればよいものと考察される。

【0061】さらに、転位密度を低減するのに効果があるInドープの結晶層を成長した。結晶成長初期には、約50nmのGaAs層をGaソースとしてTEGaを用いて成長した。

【0062】続いて、約400nmのAlInGaAs層をIII族原料としてTMAI、TEGa、TEInを用い、Inの濃度を約1E20cm⁻³となるようにして、成長温度約650℃、成長圧力約76Torrで成長した。

50 【0063】その結果、得られた表面の結晶構造の写真

(6)

特開平6-244112

9

10

を、図6(B)に示す。インジウムドーブにより表面モホロジが減少し、表面粗さは約2nm程度まで減少した。インジウムを添加すると、表面モホロジが改善できる他、移動度も高めることができる。ただし、禁止帯幅は若干減少する。

【0064】以上に説明したような結晶成長法を用い、III-V族化合物半導体装置を成長する場合を以下に簡単に説明する。図7は、シリコン基板上に形成したIII-V族化合物半導体のHEMTの構成を概略的に示す。研磨表面を有するGaAs/Si基板の上に、MO

CVD法により成長温度約650℃、成長圧力約76Torrで順層構造を成長し、HEMT装置を作成した。【0065】図7に示すように、Si基板1の表面に、GaAs層を2段階成長法により成長し、その後研磨を行なって研磨表面を有する厚さ約2μmのGaAsバッファ層2を有するGaAs/Si基板を準備する。このGaAs/Si基板の研磨表面上に、まずGaソースとしてTEGaを用いて厚さ約50nmのGaAsバッファ層3aを成長する。

【0066】続いて、GaソースをTMGaに切り換え、III族原料としてさらにトリメチルアルミニウム(TMAI)を用い、厚さ約400nmのAlGaAsバッファ層3bを成長する。

【0067】この上に、GaソースとしてTMGaを用い、厚さ約200nmのi型GaAs電子走行層4を成長する。GaソースとしてTMGaを用いることにより、成長速度を高めることができる。成長速度を一定とすれば、原料ガスの流量を低減することができる。

【0068】電子走行層4の上に、GaAsソースとしてTEGaを用い、AlソースとしてTEAlまたはTMAIを用いて厚さ約1nmのi型AlGaAsスペーサ層5を成長し、続いてGaソースとしてTEGa、AlとしてTMAIを用い、n型不純物源としてSi、Hを用いてSiドーブのn型AlGaAs層6を厚さ約38nm成長する。

【0069】なお、ここで、GaソースとしてTEGaを用いたのは、TMGaと比べ、TEGaを用いた場合には成長速度が遅くなり、薄い膜厚を精度良くコントロ

ールすることが容易になるためである。

【0070】その後、さらに、GaAsソースとしてTMGaを用い、不純物源としてSi、Hを用いてSiドーブのn型GaAsキャップ層7を厚さ約50nm成長する。

【0071】このような成長方法によって得られた表面の粗さを、原子間力顕微鏡で測定したところ、表面粗さは高さ方向で約4nmであった。この値は、研磨と再成長を行なわない従来の連続成長の場合に比べ、約1/5の値であった。なお、成長時間は全ての層をエチル系原料を用いて成長した場合と比べ、約半分になった。

【0072】その後、キャップ層7を選択的に除去してゲート電極8を形成し、ゲート電極8の両側のキャップ層7表面上にソース電極9、ドレイン電極10を形成する。なお、n型層6、7の不純物濃度は、たとえば約 $1.5 \times 10^{18} \text{ cm}^{-3}$ 程度とする。

【0073】図8は、エンハンスメント(E)モードHEMTと、デプレッション(D)モードHEMTとを集積化したIII-V族化合物半導体装置の構成を示す。

図7に示す構成のキャップ層7の上に、さらにInドーブしたn型Al_{0.15}Ga_{0.85}As:Inエッチングストップ層19およびn型GaAs第2キャップ層20が形成されている。

【0074】異なるレベルの選択エッチングを行ない、電子供給層6の上に、Eモードゲート電極23、キャップ層7の上にDモードゲート電極24を形成している。これらのゲート電極を挟んでソース電極、ドレイン電極を形成すれば、EモードHEMTおよびDモードHEMTが得られる。

【0075】なお、このようにして形成されたHEMT構造におけるシート電子濃度と移動度の測定例を以下に説明する。なお、比較のため、GaAs基板上にHEMT構造を形成した場合と、Si基板上にGaAs層を形成し、研磨なしにHEMT構造を形成した場合の測定も合わせて行なった。なお、成長温度は全て650℃、成長圧力は76Torrであった。

【0076】

【表1】

30

(7)

特開平6-244112

11

12

サ ン プ ル	シート電子濃度 (cm^{-2})	移動度 ($\text{cm}^2/\text{Vs} \cdot \text{LNT}$)
GaAs 基板上	1.0×10^{12}	30000
研磨なし	0.9×10^{12}	18000
研磨あり TEGa	1.0×10^{12}	28000
研磨あり TEGa+TMGa	0.95×10^{12}	25000
研磨あり TEGa+TMGa+In	1.1×10^{12}	28500

この結果から判るように、エチル・メチル混合原料を用いると、エチル系原料のみを用いた場合と比べ、やや移動度が減るが、インジウムをドーピングすることによってGaAs基板上に成長したものとなり近い移動度が得られた。また、GaAs/Si基板上の電子走行層の移動度としては、研磨なしの場合と比べ、著しく改善された値が得られている。

【0077】なお、限られた実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、Si基板上に成長する第1のバッファ層として、GaAsの代わりにAlAsを用いることもできる。この場合、エチル系原料としてはトリエチルアルミニウム(TEAl)を用いることができる。

【0078】成長温度は、約450～750℃の範囲で任意に選択することができる。また、成長圧力は数Torrから約500Torrの間で任意に選択することができるが、その内でも100～500Torrの間が最も好適である。

【0079】つまり、基板表面に到達する原料の速度を得るためには、100Torr以下の圧力が好ましいのであるが、50Torr以下の圧力では成長膜中にカーボンが取り込まれ易い傾向にあるのである。

【0080】HEMTの他、ヘテロ構造を有する種々の化合物半導体装置を製造することができる。たとえば、横方向に電流を流す種々の電界効果型トランジスタや縦方向に電流を流すヘテロバイポーラトランジスタ(HBT)等を製造することができる。

【0081】その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0082】

【発明の効果】以上説明したように、本発明によれば、表面モロシが優れたSi基板上のIII-V族化合物半導体結晶を得ることのできる成長方法が提供される。

【図面の簡単な説明】

【図1】研磨表面を有するGaAs/Si基板の作成を説明するための概略断面図である。

【図2】研磨表面を有するGaAs/Si基板上にIII-V族化合物半導体層を成長する結晶成長方法を説明するための断面図である。

【図3】III族原料ガスとしてTMGaとTEGaを用いた時の成長温度に対する表面粗さの関係を示すグラフである。

【図4】MBEとTMGaのMOCVDによって結晶を成長した時の結晶構造を示す顕微鏡写真である。

【図5】バレル型成長炉を示す概略斜視図である。

【図6】本発明の実施例によって成長した結晶層の結晶構造を示す顕微鏡写真である。

【図7】HEMTの構造を示す概略断面図である。

【図8】Eモード/DモードHEMTの構造を概略的に示す断面図である。

【符号の説明】

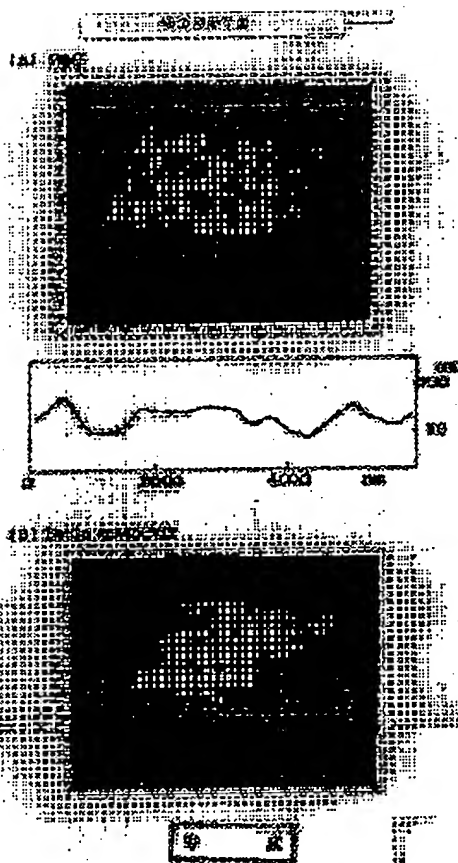
- 1 Si基板
- 2 GaAsバッファ層
- 3a GaAsバッファ層
- 3b AlGaAsバッファ層
- 4 i-GaAs電子走行層
- 5 i-Al_{0.15}Ga_{0.85}Asスペーサ層
- 6 n-Al_{0.15}Ga_{0.85}As電子供給層
- 7 n-GaAsキャップ層
- 8 ゲート電極
- 9 ソース電極
- 10 ドレイン電極
- 19 エッチングストップパ層
- 20 第2キャップ層
- 23 Eモードゲート電極
- 24 Dモードゲート電極
- 31 Si基板
- 32, 33 アモルファスGaAs領域

50

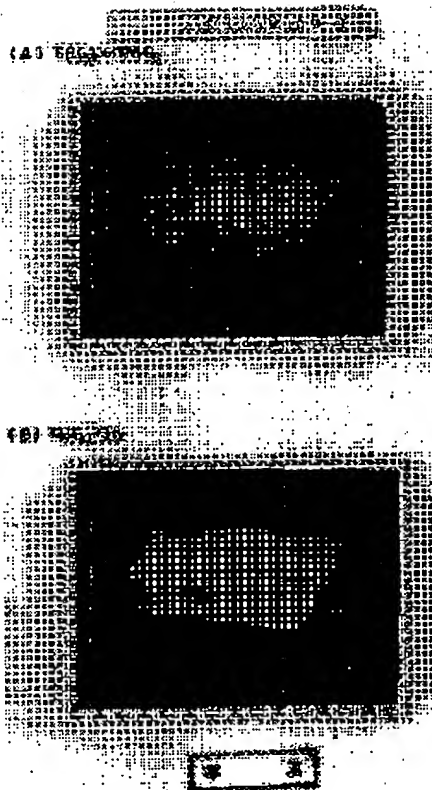
(9)

特開平6-244112

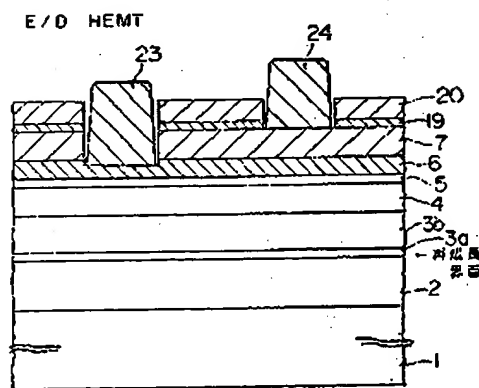
【図4】



【図6】



【図8】

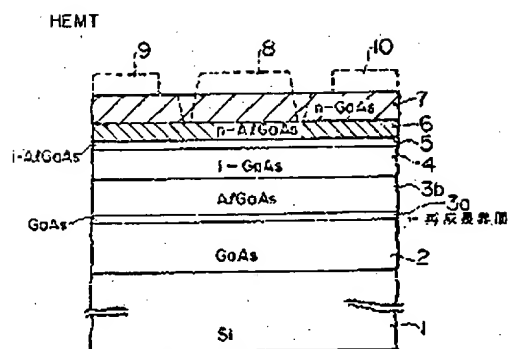


- 20: n-GaAs 第2キャップ層
- 19: n-Al_{0.28}Ga_{0.72}As:In エッチングストップ層
- 23: Eモードゲート電極
- 24: Dモードゲート電極

(10)

特開平6-244112

【図7】



- 7 : n-GaAs キップ層
- 6 : n-Al_{0.28}Ga_{0.72}As 電子供給層
- 5 : i-Al_{0.28}Ga_{0.72}As スペース層
- 4 : i-GaAs 電子先行層
- 3a : GaAs バッファ層
- 3b : Al_{0.35}Ga_{0.65}As バッファ層
- 2 : GaAs バッファ層
- 1 : Si 基板
- 8 : ゲート電極
- 9 : ソース電極
- 10 : ドレイン電極